

PATENT
81788.0250
Express Mail Label No. EV 325 216 607 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

TOSHIKATSU HAZAMA et al.

Serial No: Not assigned

Filed: June 23, 2003

For: DRAM WITH REFRESH CONTROL
FUNCTION

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-182556 which was filed June 24, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: June 23, 2003

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月24日

出 願 番 号

Application Number:

特願2002-182556

[ST.10/C]:

[JP2002-182556]

出 願 人

Applicant(s):

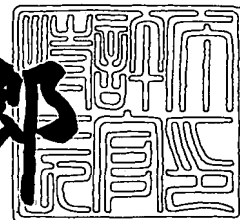
株式会社東芝

東芝マイクロエレクトロニクス株式会社

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025620

【書類名】 特許願

【整理番号】 01P308

【提出日】 平成14年 6月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/00

【発明の名称】 ダイナミック型半導体メモリ装置

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

 【氏名】 間 敏克

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

 【氏名】 桑形 正明

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【特許出願人】

 【識別番号】 000221199

 【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【代理人】

 【識別番号】 100092820

 【弁理士】

 【氏名又は名称】 伊丹 勝

 【電話番号】 03-5216-2501

【手数料の表示】

 【予納台帳番号】 026893

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【包括委任状番号】 9814820

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ダイナミック型半導体メモリ装置

【特許請求の範囲】

【請求項 1】 ワード線により駆動されてビット線との間でデータ授受が行われる D R A M セルが配列されたセルアレイと、

前記セルアレイのワード線及びビット線を選択するデコード回路と、

前記セルアレイのビット線データを増幅するセンスアンプと、

前記セルアレイの複数の領域のうち、外部からアクセスされた領域に限定してリフレッシュ動作を行わせるリフレッシュ制御回路と、
を有することを特徴とするダイナミック型半導体メモリ装置。

【請求項 2】 前記リフレッシュ制御回路は、

前記セルアレイのリフレッシュのために順次インクリメントされる内部アドレス信号を発生するリフレッシュカウンタと、

前記セルアレイの複数の領域毎に設けられて、その領域へのアクセスの有無の情報を保持するレジスタと、

このレジスタの情報に基づいて前記セルアレイのアクセスされていない領域のリフレッシュ動作を禁止するリフレッシュ制限回路と、
を有することを特徴とする請求項 1 記載のダイナミック型半導体メモリ装置。

【請求項 3】 前記レジスタは、書き込みアクセスの有無の情報を保持するものである

ことを特徴とする請求項 2 記載のダイナミック型半導体メモリ装置。

【請求項 4】 前記レジスタの情報をセルアレイの領域毎に初期化するための外部リセット端子を有する

ことを特徴とする請求項 2 記載のダイナミック型半導体メモリ装置。

【請求項 5】 前記レジスタの情報を初期化するリセット回路を有する
ことを特徴とする請求項 2 記載のダイナミック型半導体メモリ装置。

【請求項 6】 前記リフレッシュ制限回路によるリフレッシュ動作省略の機能を停止させるためのデータをプログラムできるリフレッシュ制限解除回路を有する

ことを特徴とする請求項1記載のダイナミック型半導体メモリ装置。

【請求項7】 前記リフレッシュ制限解除回路は、フューズ回路により構成されている

ことを特徴とする請求項6記載のダイナミック型半導体メモリ装置。

【請求項8】 前記リフレッシュ制限解除回路は、ボンディングオプションにより構成されている

ことを特徴とする請求項6記載のダイナミック型半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ダイナミック型半導体メモリ装置（DRAM）に係り、特にそのリフレッシュ動作制御に関する。

【0002】

【従来の技術】

DRAMセルは、データを電荷の形で保持するが、その電荷は接合リーク等により次第に減少する。従ってDRAMでは、あるサイクルでセルデータの読み出し、再書き込みを行うリフレッシュ動作が必要になる。DRAMのリフレッシュ方式には種々あるが、大きく分けると、（a）外部からアドレスを入力してリフレッシュ動作を行わせる方式と、（b）外部からのアドレス入力を行わず、チップ内蔵のアドレスカウンタでリフレッシュのための内部アドレスを発生させる方式とがある。

【0003】

（a）の方式には、ロウアドレスストローブ（／RAS）に同期してロウアドレスを入力して順次ワード線を選択駆動する“RASオンリーリフレッシュ”や、／RASとカラムアドレスストローブ（／CAS）のタイミングを通常動作と異ならせ、リフレッシュ時には／RASに先行して／CASを“L”にする、“CASビフォアRASリフレッシュ”等が知られている。

【0004】

（b）の方式には、／RASの“H”期間（非活性期間）を利用して、リフレ

ッシュ制御端子からのコントロール信号に同期して内部ロウアドレスを発生させてリフレッシュを行う“オートリフレッシュ”や、内部タイマを備えて一定時間毎に自動的に内部ロウアドレスを発生させてリフレッシュを行う“セルフリフレッシュ”がある。

【0005】

【発明が解決しようとする課題】

以上のようなリフレッシュ方式のうち、外部アドレスを入力する（a）の方式は、セルアレイのリフレッシュ領域を任意に選択することができるが、（b）の方式は、リフレッシュ領域を指定することができない。このため、（b）の方式では、DRAMチップ内の実際にはデータが書き込まれていない領域も全てリフレッシュを行うことになり、無駄な電力を消費するという問題があった。

【0006】

この発明は、無駄なリフレッシュ電流を削減できるようにしたダイナミック型半導体メモリ装置を提供することを目的としている。

【0007】

【課題を解決するための手段】

この発明に係るダイナミック型半導体メモリ装置は、ワード線により駆動されてビット線との間でデータ授受が行われるDRAMセルが配列されたセルアレイと、前記セルアレイのワード線及びビット線を選択するデコード回路と、前記セルアレイのビット線データを増幅するセンスアンプと、前記セルアレイの複数の領域のうち、外部からアクセスされた領域に限定してリフレッシュ動作を行わせるリフレッシュ制御回路と、を有することを特徴とする。

【0008】

この発明によると、外部からアクセスされたことのある領域のみについてリフレッシュ動作が行われるようにすることで、DRAMの無駄な消費電力を削減することができる。

【0009】

この発明において具体的に、リフレッシュ制御回路は、セルアレイのリフレッシュのために順次インクリメントされる内部アドレス信号を発生するリフレッシ

ユカウンタと、セルアレイの複数の領域毎に設けられて、その領域へのアクセスの有無の情報を保持するレジスタと、このレジスタの情報に基づいてセルアレイのアクセスされていない領域のリフレッシュ動作を禁止するリフレッシュ制限回路とを備えて構成することができる。

【 0 0 1 0 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図 1 は、この発明の一実施の形態による D R A M のブロック構成を示している。セルアレイ 1 は、互いに交差するワード線 W L とビット線 B L の交差部に D R A M セル M C を配置して構成される。セルアレイ 1 のビット線 B L には、ビット線データを増幅するセンスアンプ 2 が接続されている。ロウデコーダ 3 は、ロウアドレス信号をデコードしてセルアレイ 1 のワード線選択を行い、カラムデコーダ 4 は、カラムアドレス信号をデコードしてセルアレイのビット線選択を行う。

【 0 0 1 1 】

外部からのアドレス信号 A D D は、／ R A S、／ C A S に同期してアドレスバッファ 5 に取り込まれ、内部ロウアドレス信号がロウデコーダ 3 に、内部カラムアドレス信号がカラムデコーダ 4 に供給される。センスアンプ 2 はカラムデコーダ 4 を介してデータバッファ 6 に選択的に接続され、外部端子とのデータの授受が行われる。

【 0 0 1 2 】

この実施の形態では、セルフリフレッシュ方式を採用しており、D R A M チップが書き込みや読み出しモードにない期間に自動的にセルアレイ 1 のリフレッシュを行うために、リフレッシュカウンタ 7 を備え、タイマ 8 を備えている。リフレッシュカウンタ 7 は、／ R A S の “ H ”（非活性）とリフレッシュ制御信号 R E F により制御されて、タイマ 8 により決まる一定時間毎にインクリメントされる内部ロウアドレスを発生するアドレスカウンタである。

【 0 0 1 3 】

リフレッシュカウンタ 7 が出力するロウアドレス信号は、ロウデコーダ 3 に送られてデコードされる。これによりワード線が選択され、そのワード線に沿う D

R A Mセルのデータがリフレッシュされる。即ちセルデータはビット線に読み出され、センスアンプ 2 で増幅されて再書き込みされる。

【 0 0 1 4 】

この様にセルフリフレッシュ方式では、外部アクセスのない期間を利用して、セルアレイ 1 の全領域を順次リフレッシュするが、この実施の形態では、セルアレイ 1 のなかの外部からアクセスがあった領域に限定してリフレッシュを行うように、リフレッシュ動作を制限する。そのようなリフレッシュ制御ために、セルアレイ 1 の複数の領域毎に設けられて、その領域へのアクセスの有無の情報を保持するレジスタ 1 0 と、このレジスタ 1 0 の情報に基づいてセルアレイ 1 の未だアクセスされていない領域のリフレッシュ動作を禁止する信号を出力するリフレッシュ制限回路 9 を備えている。

【 0 0 1 5 】

具体的にセルアレイ 1 は、複数本のワード線毎に n 個のブロック B L K 0, B L K 1, ..., B L K $n-1$ に分けられる。そして、これらのブロック毎のリフレッシュの可否を指示するように、R E G 0, R E G 1, ..., R E G $n-1$ からなる n 個のレジスタ 1 0 が用意される。レジスタ 1 0 は初期状態でオール “0” である。外部からのアクセスがあると、そのロウアドレスをアクセス判定回路 1 3 が判定し、対応するブロックのレジスタ 1 0 に “1” をセットする。従ってアクセス判定回路 1 3 は具体的には、ロウアドレス信号のうち、セルアレイ 1 のブロックアドレスをデコードするブロックデコーダである。

【 0 0 1 6 】

これにより、レジスタ 1 0 は、未だアクセスないのブロックについて “0”, アクセスがあったブロックについて “1” を保持する。このアクセスの有無情報に基づいてリフレッシュ制限回路 9 は、リフレッシュ動作時に、未だアクセスがないブロック対応のロウアドレスデコーダ 3 を非活性にする制御を行う。具体的には例えば、リフレッシュ制限回路 9 を $\neg R A S$ により制御して、リフレッシュ動作が行われる $\neg R A S = “H”$ の期間のみ、リフレッシュ制限回路 9 の出力を活性にして、レジスタ 1 0 の情報に基づいてロウデコーダ 3 の活性、非活性を制御する。通常の読み出し、書き込み動作が行われる $\neg R A S = “L”$ の期間は、

リフレッシュ制限回路9の出力を非活性にすれば、レジスタ10の情報は、リフレッシュサイクルでのみ有効に利用されることになる。

【0017】

以上により、過去のアクセスの有無に応じて、セルアレイ1のリフレッシュ動作を省略することができ、無用な消費電力を削減することができる。具体的に、レジスタ10に保持するアクセスの有無情報としては、書き込みアクセスの有無情報に限定することができる。これにより、書き込みがなされていないセルアレイ1の領域での無駄なリフレッシュが省略されることになる。

【0018】

図1では、リフレッシュ制御のためのアクセスの有無情報を保持するレジスタ10に、各領域毎にその情報をリセットするための外部リセット端子RESETB0, RESETB1, ..., RESETBn-1を設けた例を示している。これらのリセット端子を利用すれば、“1”（アクセス有り）がセットされたレジスタ10を、ユーザーが適宜“0”にリセットすることで、任意の領域のリフレッシュ動作を、次にアクセスされるまで停止することができる。

【0019】

更に図1では、レジスタ10を一括して初期化するためのリセット回路11を設けている。リセット回路11は具体的にはレジスタである。これは、次のような場合に有効になる。即ちテストモードにおいてレジスタ10が全領域について“1”（アクセス有り）がセットされると、その後実際にデータ書き込みがなされなくても、リフレッシュの省略動作が行われたいという事態が生じ得る。これに対して、テストモードで“1”がセットされたレジスタ10を、リセット信号RESETAを入力して、リセット回路11で一括初期化する。この様にすれば、その後、書き込みアクセスのあった領域のみ、リフレッシュを行うようなリフレッシュ制限動作が可能になる。

なおリセット回路11は、レジスタ10の複数領域毎に分けて、初期化制御するように、複数個用意してもよい。

【0020】

以上のように、セルアレイ1を複数領域に分けて、アクセスの有無に応じてリ

フレッシュ動作を省略することにより、電力削減ができるが、セルアレイ 1 の全領域にアクセスが行われる場合には、リフレッシュ動作の省略はない。そしてこの様にセルアレイの全領域がアクセスされるような用途の場合にも、リフレッシュ動作を省略するか否かをアクセスの度に判断する動作を行ったのでは、逆に消費電力が従来より増大する事態も考えられる。

【 0 0 2 1 】

このような事態に対処するためには、用途によっては、リフレッシュ動作を省略するリフレッシュ制限の機能を、プログラムによって解除できるようにすることが望ましい。図 1 では、レジスタ 1 0 及びリフレッシュ制限回路 9 によりリフレッシュ制限動作を解除するための解除回路 1 2 を設けている。このリフレッシュ制限解除回路 1 2 は、データをプログラムすることによって、レジスタ 1 0、リフレッシュ制限回路 9 及びアクセス判定回路 1 3 を全て、非活性にする動作停止信号 a, b, c を発生するものとする。これにより、リフレッシュ動作省略のためのレジスタ 1 0、リフレッシュ制限回路 9 及びアクセス判定回路 1 3 の動作による消費電力をなくして、通常通りのセルフリフレッシュを行わせることができる。

【 0 0 2 2 】

リフレッシュ動作省略に伴う電力消費を削減するには、上述のように、リフレッシュ制限解除回路 1 2 がレジスタ 1 0、リフレッシュ制限回路 9 及びアクセス判定回路 1 3 を全て非活性にすることが好ましい。しかし、リフレッシュ動作省略の機能を停止させるには、例えばリフレッシュ制限回路 9 を非活性にするだけでもよい。或いは、リフレッシュ制限回路 9 は活性状態に保って実質的にリフレッシュ省略を行われたいためには、アクセス判定回路 1 3 をオフにして、レジスタ 1 0 を強制的にオール“1”にセットするようにしてもよい。

【 0 0 2 3 】

リフレッシュ制限解除回路 1 2 は、ウェハ状態でデータをプログラムできるように、例えば図 2 (a) に示すフューズ回路や図 2 (b) に示すボンディングオブションを用いて構成することができる。プログラムされたデータは、不揮発に記憶されればよいので、不揮発性メモリセルを用いることもできる。或いはまた

、外部からセット，リセットできるレジスタであってもよい。

【 0 0 2 4 】

【発明の効果】

以上述べたようにこの発明によれば、アクセスのない領域に対するリフレッシュを行わないように制御することで、DRAMの消費電力を削減することができる。

【図面の簡単な説明】

【図 1】

この発明の実施の形態によるDRAMの構成を示す図である。

【図 2】

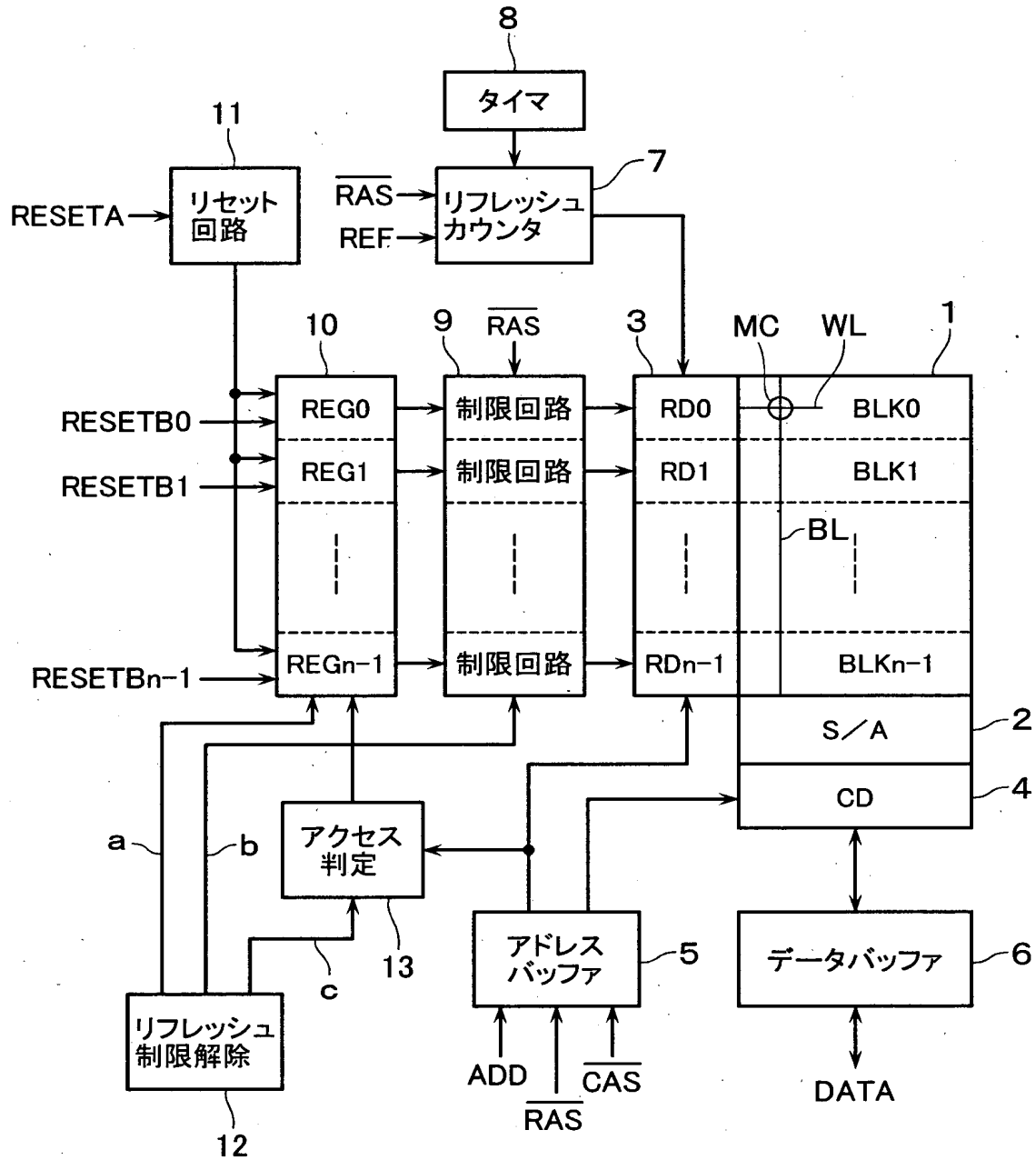
リフレッシュ制限解除回路の構成要素例を示す図である。

【符号の説明】

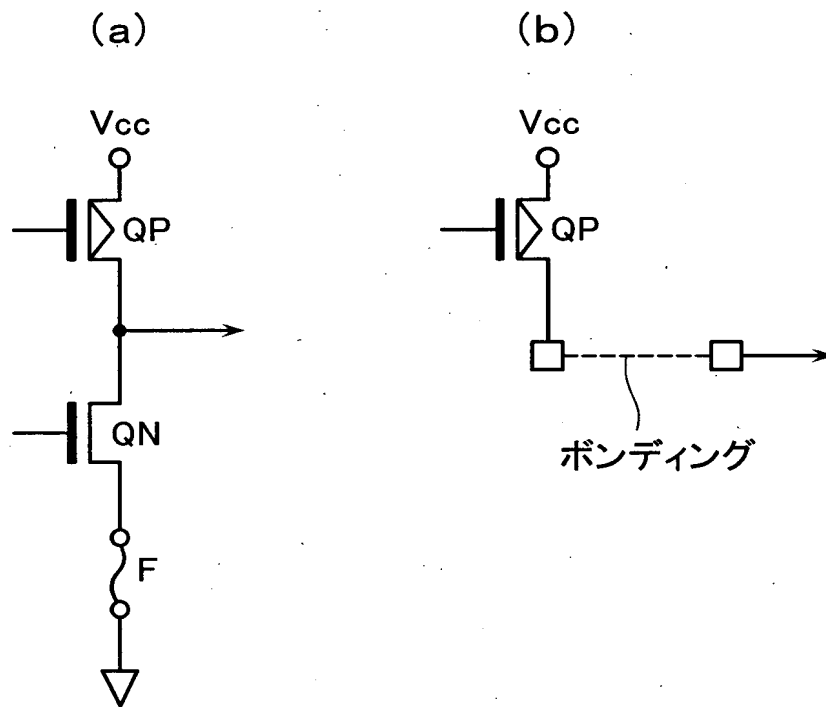
1…セルアレイ、2…センスアンプ、3…ロウデコーダ、4…カラムデコーダ、5…アドレスバッファ、6…データバッファ、7…リフレッシュカウンタ、8…タイマ、9…リフレッシュ制限回路、10…レジスタ、11…リセット回路、12…リフレッシュ制限解除回路、13…アクセス判定回路。

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 無駄なリフレッシュ電流を削減できるようにしたダイナミック型半導体メモリ装置を提供する。

【解決手段】 DRAMは、ワード線により駆動されてビット線との間でデータ授受が行われるDRAMセルが配列されたセルアレイ1、セルアレイ1のワード線及びビット線を選択するロウデコーダ3及びカラムデコーダ4、セルアレイ1のビット線データを増幅するセンスアンプ2を備え、更にセルアレイ1の複数の領域のうち、外部からアクセスされた領域に限定してリフレッシュ動作を行わせるリフレッシュ制御回路を有する。リフレッシュ制御回路は、セルアレイ1のリフレッシュのために順次インクリメントされる内部アドレス信号を発生するリフレッシュカウンタ7と、セルアレイ1の複数の領域毎に設けられて、その領域へのアクセスの有無の情報を保持するレジスタ10と、このレジスタ10の情報に基づいてセルアレイ1のアクセスされていない領域のリフレッシュ動作を禁止するリフレッシュ制限回路3を有する

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝

出 願 人 履 歴 情 報

識別番号 [000221199]

1. 変更年月日	1990年 8月23日
[変更理由]	新規登録
住 所	神奈川県川崎市川崎区駅前本町25番地1
氏 名	東芝マイクロエレクトロニクス株式会社